

1/5/3 (Item 3 from file: 351)

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

014522059 \*\*Image available\*\*

WPI Acc No: 2002-342762/200238

XRAM Acc No: C02-098457

XRPX Acc No: N02-269520

**Semi-conductor device, for use in VLSI applications, comprises multilayers arranged such that heat flow is favored from semi-conductor layer to substrate**

Patent Assignee: ZARLINK SEMICONDUCTOR LTD (ZARL-N)

Inventor: WILSON M C

Number of Countries: 005 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
FR 2813993	A1	20020315	FR 200111781	A	20010912	200238	B
JP 2002124564	A	20020426	JP 2001266385	A	20010903	200244	
DE 10144201	A1	20020425	DE 10144201	A	20010908	200245	
GB 2370916	A	20020710	GB 200121500	A	20010905	200253	
US 20030122215	A1	20030703	US 2001954691	A	20010912	200345	
US 6787876	B2	20040907	US 2001954691	A	20010912	200459	
GB 2370916	B	20050504	GB 200121500	A	20010905	200530	

Priority Applications (No Type Date): GB 200022329 A 20000912

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
FR 2813993	A1		11	H01L-023/367	
JP 2002124564	A		5	H01L-021/76	
DE 10144201	A1		5	H01L-027/12	
GB 2370916	A			H01L-021/762	
US 20030122215	A1			H01L-029/00	
US 6787876	B2			H01L-029/06	
GB 2370916	B			H01L-021/762	

Abstract (Basic): FR 2813993 A1

NOVELTY - Semi-conductor device comprises a substrate with an insulating layer, a semiconductor material layer, a drain through the layers and penetrating the substrate, and an internal insulating coating with thermally conductive filling material inside. The internal insulating coating, the filling material and the distance over which the drain penetrates into the substrate are such that they favor the flow of heat from the semi-conductor layer to the substrate.

DETAILED DESCRIPTION - Semi-conductor device comprises a substrate (11) incorporating an insulating layer (12) formed on one surface, a layer of semi-conductor material (13) on the surface of the insulating layer, a drain (14) leaving the surface of the semi-conductor layer and passing through the insulating layer to penetrate the substrate, an internal insulating coating (14a) on the lateral walls and on the base of the drain and thermally conductive filling material (14b) inside the insulating coating. The internal insulating coating, the filling material and the distance over which the drain penetrates into the substrate are such that they favor the flow of heat from the semi-conductor layer to the substrate. The internal insulating coating completely surrounds the filling material at least where the drain penetrates into the substrate and the distance of penetration is at least 1 micron.

USE - The semi-conductor device has a silicon - sur- insulator (SSI) structure for use in micro-electronics for portable applications in VLSI products including mobile communications devices.

ADVANTAGE - The SSI structure presents a reduced power consumption compared to conventional technology. It has good thermal dissipation between the active semi-conductor and the substrate. The integrity of the internal dielectric coating of the drain is maintained without the need for supplementary treatment stages in addition to those needed for the electric function.

DESCRIPTION OF DRAWING(S) - The drawings illustrate a form of insulation typical for SSI technology and a part of a SSI device for VLSI, in accordance with the invention. (Drawing includes non-English

**THIS PAGE BLANK (USPTO)**

language text).

Substrate; (11)

Insulating layer; (12)

Semi-conductor layer; (13)

Drain; (14)

Internal insulating coating; (14a)

Thermally conductive filling material. (14b)

pp; 11 DwgNo 1/2

Title Terms: SEMI; CONDUCTOR; DEVICE; VLSI; APPLY; COMPRISE; MULTILAYER;

ARRANGE; HEAT; FLOW; FAVOUR; SEMI; CONDUCTOR; LAYER; SUBSTRATE

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/76; H01L-021/762; H01L-023/367;

H01L-027/12; H01L-029/00; H01L-029/06

International Patent Class (Additional): H01L-021/8249; H01L-023/34;

H01L-027/06

File Segment: CPI; EPI

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-124564

(P2002-124564A)

(43) 公開日 平成14年4月26日 (2002. 4. 26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード(参考)

H 0 1 L 21/76  
21/762  
21/8249  
27/06

H 0 1 L 21/76  
27/06  
21/76

L 5 F 0 3 2  
3 2 1 C 5 F 0 4 8  
D

審査請求 未請求 請求項の数14 O L (全 5 頁)

(21) 出願番号 特願2001-266385(P2001-266385)

(22) 出願日 平成13年9月3日(2001. 9. 3)

(31) 優先権主張番号 0 0 2 2 3 2 9 . 7

(32) 優先日 平成12年9月12日(2000. 9. 12)

(33) 優先権主張国 イギリス (G B)

(71) 出願人 501323251

ザーリンク・セミコンダクター・リミテッ  
ド

Zarlink Semiconduct  
or Limited

イギリス、エスエヌ2・2キューダブリュ  
ー、ウィルトシャー、スウィンドン、チェ  
ニー・マナー

(72) 発明者 マーティン シー ウィルソン

イギリス ウィルトシャー クリックレー  
ド ノースウォール 18

(74) 代理人 100091742

弁理士 小玉 秀男 (外1名)

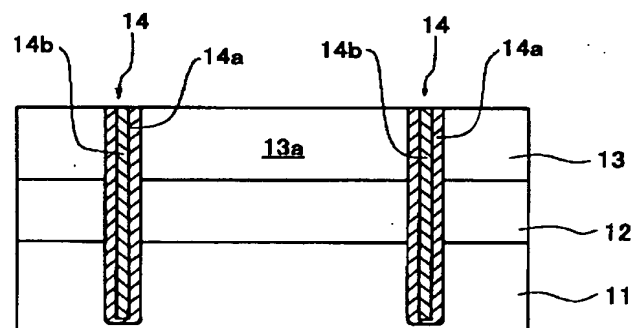
最終頁に続く

(54) 【発明の名称】 半導体デバイス

(57) 【要約】

【課題】 熱的絶縁を減少させるために、熱伝導性の柱状体を基板に直接接触させることによって、放熱量を改善(増加)できると期待される。しかしながら、この場合、デバイスを基板に電氣的に接続しないように、柱状体を作り込むという特別なプロセスを導入する必要がある。

【解決手段】 半導体デバイスは、表面に絶縁層が形成された基板(11)と、絶縁層(12)の表面に配置されたシリコン層(13)と、シリコン層(13)の表面から絶縁層(12)を貫通して基板内に入り込むトレンチ(14)と、トレンチ(14)の側壁と底面に接して配置された絶縁ライナ(14a)と、絶縁ライナ(14a)内に形成された熱伝導性材料からなる充填材(14b)とを備えている。絶縁ライナ(14a)と、充填材(14b)と、トレンチ(14)が基板(11)内に入り込む距離は、シリコン層(13)から基板(11)への熱の流れを促進するようになっている。



## 【特許請求の範囲】

【請求項1】 表面に絶縁層が形成された基板と、絶縁層の表面に配置された半導体材料層と、半導体材料層の表面から絶縁層を貫通して基板内に入り込むトレンチと、トレンチの側壁と底面に接して配置された絶縁ライナと、絶縁ライナ内に形成された熱伝導性材料からなる充填材とを備え、

絶縁ライナと、充填材と、トレンチが基板内に入り込む距離は、半導体材料層から基板への熱の流れを促進するようになり、少なくともトレンチが基板内に入り込んでいて、前記範囲では絶縁ライナが充填材を完全に包囲しており、前記距離が少なくとも1  $\mu\text{m}$ である半導体デバイス。

【請求項2】 前記距離が1  $\mu\text{m}$ 以上で5  $\mu\text{m}$ 以下の範囲内である請求項1に記載の半導体デバイス。

【請求項3】 前記距離が3  $\mu\text{m}$ 以上で5  $\mu\text{m}$ 以下の範囲内である請求項2に記載の半導体デバイス。

【請求項4】 2つのトレンチがあり、各トレンチは請求項1に記載した特徴を有し、その2つのトレンチ間の半導体材料層に能動素子が形成されている請求項1から3のいずれかに記載の半導体デバイス。

【請求項5】 複数のトレンチがあり、各トレンチは請求項1に記載した特徴を有し、一对の隣接するトレンチ間の半導体材料層のそれぞれに能動素子が形成されている請求項1から4のいずれかに記載の半導体デバイス。

【請求項6】 前記半導体材料層がシリコン層である請求項1から5のいずれかに記載の半導体デバイス。

【請求項7】 前記シリコン層が単結晶構造である請求項6に記載の半導体デバイス。

【請求項8】 前記基板がシリコン基板である請求項1から7のいずれかに記載の半導体デバイス。

【請求項9】 前記絶縁層がシリコン酸化層である請求項1から8のいずれかに記載の半導体デバイス。

【請求項10】 前記ライナが、酸化シリコンからなる外側層と窒化シリコンからなる内側層によって構成されている請求項1から9のいずれかに記載の半導体デバイス。

【請求項11】 前記外側シリコン酸化層が約1000 Åの厚さであり、前記内側シリコン窒化層が約300 Åの厚さである請求項10に記載の半導体デバイス。

【請求項12】 前記充填材がポリシリコンである請求項1から11のいずれかに記載の半導体デバイス。

【請求項13】 前記トレンチの幅が約0.8  $\mu\text{m}$ である請求項12に記載の半導体デバイス。

【請求項14】 前記ライナの厚さが前記絶縁層の厚さより少なくとも1桁小さい請求項1から13のいずれかに記載の半導体デバイス。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体デバイスに

関する。特に、シリコン層上に絶縁層を持つ構造(silicon-on-insulator: SOI)を有する半導体デバイスに関する。

## 【0002】

【従来の技術】 SOI構造は、典型的には、シリコン酸化層によって隔てられた第1シリコン層と第2シリコン層によって構成される。SOI構造の第1の形態では、表面に酸化シリコンの絶縁膜が堆積されたシリコン基板上に、単結晶シリコン膜が形成される。SOI構造の第2の形態では、単結晶シリコン基板の表面から浅い深さに、シリコン酸化膜が形成される。SOI構造の第3の形態では、表面にシリコン酸化膜が形成された基板に、熱圧縮(thermoccompression)によって、シリコン単結晶プレートが接着される。

【0003】 SOI技術の主な利点は、既知の諸技術に比較して、消費電力を低減できることである。ここ数年のVLSIマイクロエレクトロニクスの傾向は、非常に複雑で、非常に消費電力の大きい集積回路群を一体化することである。消費電力の増加によって、集積回路の利用、例えば携帯端末へ応用することに深刻な制約が生じている。近年の傾向では、電力制御技術と、バルクシリコン上で低電力の相補型金属酸化膜半導体(CMOS)を用いる技術を組合せて使用している。しかし、消費電力の低減は課題として依然残っている。SOI技術はさらに消費電力を低減させることができる。このため、SOI技術は、将来のVLSIの主流となるであろう有望な技術である。RF(無線周波数で動作する技術)での応用、特に移動通信では、バイポーラ素子は高い周波数で動作するために、バイポーラ素子が広く普及している。これらの応用では、消費電力は比較的高くなることがある。ここでも、SOI技術は、消費電力を低減させることができる。このために、SOI技術は、将来の移動通信に関する製品のために魅力的な技術となる。SOI技術は、接合領域、漏れ、絶縁、およびキャパシタンスを改善することができ、バルクデバイスに比較して、消費電力を低減させることができる。

【0004】 不幸なことに、SOI技術にも欠点がないわけではない。例えば、埋込まれた酸化層は、基板への熱伝導を減少させる。この結果、放熱量が減少し、この放熱量の減少が関連するデバイスの動作特性を制約することがある。特に、電流制御が重要な場合に、放熱量の減少が動作特性を制約してしまい易い。

【0005】 SOI技術がVLSIの製造に使用される場合、そのVLSIを構成する各半導体デバイス間の絶縁が要求される。バルク技術でもSOI技術でも、絶縁の一般的な形態は、トレンチによる絶縁である。SOI技術では、トレンチによる絶縁と埋込み酸化膜の組合せによって、能動素子が形成される電気的に絶縁された「タブ(tubs)」が生じる。電気的な絶縁を良好に行うためには、そのトレンチの深さが上層の厚さと等しくな

3

ければならない。即ち、そのトレンチは埋込み酸化膜に達していなければならない。埋込み酸化膜に達していなければ、タブ群の間に漏れ通路が生じてしまう。その埋込み酸化膜上の典型的な層の厚さは2~3 $\mu\text{m}$ であり、必要とされるそのトレンチは「浅い」ものである。

【0006】図1にSOI技術における典型的な絶縁の形態を示す。図1はVLSISOIデバイス（SOI基板を用いたVLSIのことをいう）の一部を示す。このデバイスは、シリコン基板1と、シリコン酸化（埋込み酸化）層2と、表面シリコン層3によって構成されている。複数のトレンチ群4（図1には2つのみが示されている）がそのデバイスに形成されている。各トレンチ4は、誘電体のライナ4aと、ポリシリコンの充填材4bによって構成されている。隣接する一対のトレンチ群4によって、シリコンの表面層3におけるタブ3aの範囲が定められる。この場合、半導体デバイス（図示せず）は、タブ群3aのそれぞれに形成され得る。

【0007】

【発明が解決しようとする課題】 上記したトレンチ4は、タブ群3a同士を良好に電氣的に絶縁する。しかしながら、不幸にも、タブ群3a同士の良好な電氣的絶縁には、タブ群3a同士の良好な熱の絶縁をも伴う。そして、上記したように、この熱的絶縁が、放熱量を減少させ、関係するデバイスの動作特性を相当に制約してしまう。この問題は、特にバイポーラとバイポーラCMOS技術で重要である。しかし、この問題は、高密度CMOSデバイスでも起こり得る。

【0008】熱的絶縁を減少させるために、熱伝導性の柱状体を基板に直接接触させることによって、放熱量を改善（増加）できると期待される。同様に、トレンチ群を基板層のちょうど上面まで伸ばし、誘電体のライナ群の底部を取除き、トレンチ内の充填材を基板層に接触させることによって、放熱量を改善（増加）できると期待される。しかしながら、これらのアプローチにはいくつかの欠点がある。第1のアプローチでは、デバイスを基板に電氣的に接続しないように、柱状体を作り込むという特別なプロセスを導入する必要がある。第2のアプローチでは、誘電体ライナの特定の部分のみを取除き、残りの部分には損傷を加えないような特別なプロセスを導入する必要がある。これらが必要になると、プロセスに費やす時間が増加し、製造工程がより複雑化し、より高い費用がかかる。

【0009】

【課題を解決するための手段および作用と効果】 本発明は、表面に絶縁層が形成された基板と、絶縁層の表面に配置された半導体材料層と、半導体材料層の表面から絶縁層を貫通して基板内に入り込むトレンチと、トレンチの側壁と底面に接して配置された絶縁ライナと、絶縁ライナ内に形成された熱伝導性材料からなる充填材とを備え、絶縁ライナと、充填材と、トレンチが基板内に入

4

り込む距離は、半導体材料層から基板への熱の流れを促進するようになっており、少なくともトレンチが基板内に入り込んでいる範囲では絶縁ライナが充填材を完全に包囲しており、前記距離が少なくとも1 $\mu\text{m}$ である半導体デバイスを実現する。

【0010】好ましくは、前記距離が1 $\mu\text{m}$ 以上で5 $\mu\text{m}$ 以下の範囲内であり、さらに好ましくは、前記距離が3 $\mu\text{m}$ 以上で5 $\mu\text{m}$ 以下の範囲内である。

【0011】好ましい態様では、2つのトレンチがあり、各トレンチは請求項1に記載した特徴を有し、その2つのトレンチ間の半導体材料層に能動素子が形成されている。より好ましい態様では、複数のトレンチがあり、各トレンチは請求項1に記載した特徴を有し、一対の隣接するトレンチ間の半導体材料層のそれぞれに能動素子が形成されている。

【0012】好ましくは、前記半導体材料層がシリコン層であり、より好ましくは、単結晶構造のシリコン層である。

【0013】有利には、前記基板がシリコン基板であり、前記絶縁層がシリコン酸化層である。

【0014】好ましくは、前記ライナが、酸化シリコンからなる外側層と窒化シリコンからなる内側層によって構成されており、外側シリコン酸化層が約1000Åの厚さであり、内側シリコン窒化層が約300Åの厚さである。

【0015】好都合には、前記充填材がポリシリコンであり、トレンチの幅が約0.8 $\mu\text{m}$ である。

【0016】好ましくは、ライナの厚さが絶縁層の厚さより少なくとも1桁小さい。

【0017】

【発明の実施の形態】 次に、一実施例として、本発明に基づいて構成されたVLSISOIデバイスの一部を示す図2を参照して、本発明をより詳細に説明する。

【0018】図2にVLSISOIデバイスの一部を示す。このデバイスは、シリコン基板11と、シリコン酸化（埋込み酸化）層12と、単結晶シリコン構造の表面層13によって構成されている。複数のトレンチ群14（図2には2つのみが示されている）がそのデバイスに形成されている。各トレンチ14は、誘電体のライナ14aと、ポリシリコンの充填材14bによって構成されている。隣接する一対のトレンチ群14によって、シリコンの表面層13における各タブ13aの範囲が定められる。この場合、半導体デバイス（図示せず）は、タブ群13aのそれぞれのタブ13aに形成され得る。

【0019】各トレンチ14は、ドライエッチングによって、表面層13の上面から形成されている。ライナ14aは、トレンチ群14が形成された後に各トレンチ14内に形成されている。各ライナ14aは、溝内に熱的に成長させて形成された厚さ1000Åのシリコン酸化層と、そのシリコン酸化層内に堆積された厚さ300Å

5

のシリコン窒化層によって構成されている。シリコン窒化層が形成された後に各ライナ 14 a 内にポリシリコン 14 b が堆積されることで、トレンチ群 14 は埋め込まれている。各トレンチ 14 は  $0.8 \mu\text{m}$  の幅を有する。この結果、ポリシリコンの充填材群 14 b のそれぞれは  $0.54 \mu\text{m}$  の幅を有する。トレンチ 14 の幅  $0.8 \mu\text{m}$  から両側のライナ 14 a の厚さ  $2 \times (0.1 \mu\text{m} + 0.03 \mu\text{m})$  を減じたものが充填材 14 b の厚さ  $0.54 \mu\text{m}$  となる。

【0020】図 1 と図 2 に示すデバイスを比較すると、トレンチ群 14 がトレンチ群 4 に比較して、かなり深くなっていることがわかる。このように、トレンチ群 14 は  $7 \pm 0.5 \mu\text{m}$  の深さを有する。表面層 13 (図 1 のデバイスの表面層 3 と共通である) は  $2.5 \mu\text{m}$  の厚さを有する。埋込み酸化層 12 (図 1 の埋込み酸化層 2 と共通である) は  $1 \pm 0.1 \mu\text{m}$  の厚さを有する。結果として、トレンチ群 14 は基板 11 内に  $3.0 \mu\text{m}$  の距離だけ入り込んでいる。このトレンチ 14 が基板 11 内に入り込む長さは、十分な熱が誘電体のライナ群 14 a を横切って確実に流れるような値にする必要がある。

【0021】基板 11 への熱伝導は、基板 11 の領域内での、各トレンチ 14 の深さおよび表面積に依存する。充填材 14 b の材料とライナ群 14 a の厚さもまた、基板 11 への熱伝導率を決める要因となる。充填材 14 b は放熱に重要な役割を果たすので、充填材 14 b としては、ポリシリコンの方が酸化物よりも好ましい。しかし、他の材料 (好ましくは、熱伝導性のよりよい材料) もまた用いることができる。上記したように、熱が誘電体のライナ群 14 a を横切って流れるようにするため、ライナ群 14 a の厚さは、埋込み酸化層 12 の厚さより少なくとも 1 桁小さくしなければならない。実際には、各トレンチ 14 は基板 11 内に少なくとも  $1 \mu\text{m}$  入り込ませるべきである。典型的には、基板 11 内に入り込む深さが  $3 \mu\text{m}$  以上で  $5 \mu\text{m}$  以下の範囲内のデバイスを用いる。

【0022】上記した半導体デバイスは多くの態様に変形することが可能である。例えば基板 11 はシリコン以外の材料、例えばサファイアであってもよい。埋込み酸

6

化層 12 は他の良好な絶縁性を有する材料、例えば窒化シリコンであってもよい。単結晶シリコンの表面層 13 は、例えばゲルマニウムを約 10% まで含んだシリコン化合物であってもよい。

【0023】上記したように、基板 11 の領域内での、各トレンチ 14 の深さおよび表面積は重要であり、これらのパラメータ群は上記で示したデバイスに固有に与えられる。しかしながら、これらのパラメータ群は異なるデバイスに応じて変化させることができるのは明らかである。しかし、たとえライナ群 14 a の厚さが上記の長さであっても、ライナ群 14 a によって良好な熱的絶縁性 (熱的絶縁性を減少させること) を実現するためには、トレンチ群 14 は常に相当の距離を基板層 11 内に入り込ませなければならない。

【0024】本発明の半導体デバイスは、エッチングで形成され、多結晶のシリコンで充填されたトレンチを用いて、能動半導体デバイスから SOI 構造の基板への放熱を促進するようにするものである。さらに、トレンチの誘電体のライナ (このライナは電気的な絶縁のために必要とされる) は、電気的機能として要求されるものに加えて、特別なプロセス工程群を必要とせず、元の状態のままで維持される。トレンチの深さを制御することで、SOI 基板を貫通させ、それによって、トレンチ/SOI 基板の表面領域を制御することで、放熱させるようにする。

【図面の簡単な説明】

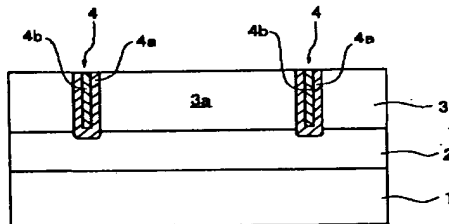
【図 1】 従来の実施例の VLSI SOI デバイスの一部を示す。

【図 2】 本発明の実施例の VLSI SOI デバイスの一部を示す。

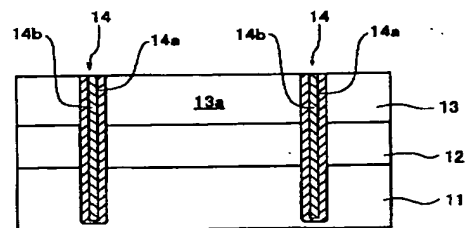
【符号の説明】

- 1、11：基板
- 2、12：埋込み酸化層
- 3、13：シリコン層
- 3a、13a：タブ
- 4、14：トレンチ
- 4a、14a：絶縁ライナ
- 4b、14b：充填材

【図 1】



【図 2】





フロントページの続き

Fターム(参考) 5F032 AA01 AA35 AA45 AA46 AA47  
CA17 CA18 DA53  
5F048 AA04 AC05 BA16 BG05 BG14

**THIS PAGE BLANK (USPTO)**